

4A0-432445

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-074473
(43) Date of publication of application : 17.03.1998

(51) Int. Cl. H01J 31/12

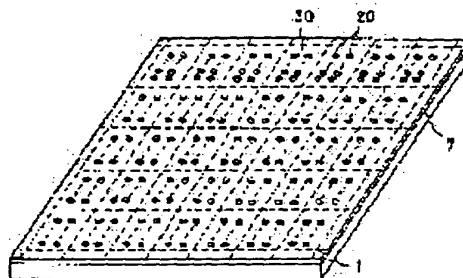
(21) Application number : 08-245434 (71) Applicant : FUTABA CORP
(22) Date of filing : 29.08.1996 (72) Inventor : YAMAGUCHI TOMOJI
HIRAKAWA HARUHISA
TSUBURAYA KAZUHIKO
TOMITA MASA HARU
YAMAURA TATSUO

(54) FIELD EMISSION TYPE DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an high anode voltage field emission type display device in which brightness is high, no leak light emission is allowed, and emitted electrons reach an anode efficiently.

SOLUTION: Conical emitters are formed on a cathode electrode provided on a cathode substrate 1, and insulation layer and first gate electrodes are formed on parts where emitters are not formed. Insulation layers are further formed on the first gate electrodes, and second gate electrodes (focusing electrodes) 7 having opening portions 20 are provided thereon. Plural rows of opening portions 20 are formed in parallel in an emitter area 30 corresponding to one picture element, and the emitters are arranged inside the respective opening portions 20. An anode voltage of 2kV to 5kV is applied to the anode electrode, the electrons emitted from the emitters are focused by the focusing electrode 7 so as to reach the anode.



LEGAL STATUS

[Date of request for examination] 26.02.1998
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998, 2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-74473

(43) 公開日 平成10年(1998) 3月17日

(51) Int.Cl.⁴

H 0 1 J 31/12

識別記号

庁内整理番号

F I

H 0 1 J 31/12

技術表示箇所

C

審査請求 未請求 請求項の数10 F D (全 15 頁)

(21) 出願番号 特願平8-245434

(22) 出願日 平成8年(1996) 8月29日

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72) 発明者 山口 智司

千葉県茂原市大芝629 双葉電子工業株式

会社内

(72) 発明者 平川 治久

千葉県茂原市大芝629 双葉電子工業株式

会社内

(72) 発明者 円谷 和彦

千葉県茂原市大芝629 双葉電子工業株式

会社内

(74) 代理人 弁理士 脇 篤夫 (外2名)

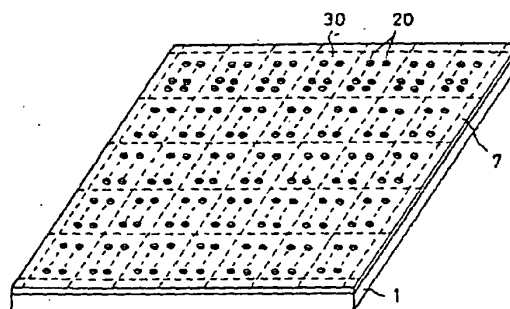
最終頁に続く

(54) 【発明の名称】 電界放出型表示装置

(57) 【要約】

【課題】 高輝度でかつ漏れ発光がなく、放出された電子を効率よくアノードに到達させる高アノード電圧タイプの電界放出型表示装置を提供する。

【解決手段】 カソード基板1上に設けられたカソード電極上にコーン状のエミッタが形成され、エミッタが形成されていない部分には、絶縁層、第1ゲート電極が形成されている。第1ゲート電極の上にはさらに絶縁層が形成されており、その上に開口部20を有する第2ゲート電極(集束電極)7が設けられている。1画素に対応するエミッタの領域30には前記開口部20が複数列並列に形成されており、該各開口部20の内部には、前記エミッタが配置されている。図示しないアノード電極には2kV～5kVのアノード電圧が印加されており、エミッタから放出された電子は、前記集束電極により集束されてアノードに到達する。



【特許請求の範囲】

【請求項1】 カソード電極が設けられたカソード基板と、

前記カソード電極上に配置されたエミッタと、
前記エミッタの近傍に設けられた電子引き出し用の第1のゲート電極と、

前記第1のゲート電極の上方に前記第1のゲート電極から距離 L_1 だけ離れた位置に設けられた開口部であって、該開口の端部と前記エミッタの中心との最短距離が d_1 とされた開口部を有する電子集束用の第2のゲート電極と、

前記カソード基板に対向するように配置され、蛍光体が塗布されたアノード電極を有するアノード基板とを有する電界放出型表示装置であって、

前記距離 d_1 は、前記第2のゲート電極が設けられていないときの前記エミッタからの距離が前記 L_1 の位置における前記エミッタから放出される電子の軌道の拡がりの半径を d としたときに、 $0.5d \leq d_1 \leq 3d$ とされていることを特徴とする電界放出型表示装置。

【請求項2】 前記開口部は円形とされており、1つの該円形開口部の中に1つの前記エミッタが配置されていることを特徴とする前記請求項1記載の電界放出型表示装置。

【請求項3】 前記エミッタは前記円形開口部の中心位置から外れた位置に配置されていることを特徴とする前記請求項2記載の電界放出型表示装置。

【請求項4】 前記円形開口部が1画素当たり複数配置されていることを特徴とする前記請求項2あるいは3記載の電界放出型表示装置。

【請求項5】 前記開口部はスリット状とされており、1つの該スリット状開口部の中に複数の前記エミッタが一列に配置されていることを特徴とする前記請求項1記載の電界放出型表示装置。

【請求項6】 前記エミッタは前記スリット状開口部の中心位置からずれた位置に配列されていることを特徴とする前記請求項5記載の電界放出型表示装置。

【請求項7】 前記スリット状開口部は複数のブロックに区切られて構成されていることを特徴とする前記請求項5あるいは6記載の電界放出型表示装置。

【請求項8】 前記スリット状開口部が1画素当たり複数個並列に配置されていることを特徴とする前記請求項5～7のいずれか1項に記載の電界放出型表示装置。

【請求項9】 前記スリット状開口部内に一列に配置されたエミッタのうちの端部に位置するエミッタは、当該スリット状開口部の端部に近接して配置されていることを特徴とする前記請求項5～8のいずれか1項に記載の電界放出型表示装置。

【請求項10】 前記エミッタの左右において前記第2のゲート電極に印加される電圧が異なることを特徴とする前記請求項1～9のいずれか1項に記載の電

界放出型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出源として電界放出カソード(FEC: Field Emission Cathode)を使用した表示装置(以下、電界放出型表示装置(FED: Field Emission Display)という)に関する。

【0002】

【従来の技術】金属または半導体表面の印加電界を 10^9 [V/m]程度にすると、トンネル効果により電子が障壁を通過して常温でも真空中に電子放出が行われる。これを電界放出(Field Emission)と云い、このような原理で電子を放出するカソードを電界放出カソード(FEC)と呼んでいる。

【0003】図19にその一例であるスピント(Spindt)型と呼ばれるFECを示す。この図において、ガラス等のカソード基板101上にアルミニウム等の金属で形成されたカソード電極102が設けられており、このカソード電極102上にモリブデン等の金属からなるコーン状のエミッタ105が形成されている。カソード電極102上のエミッタ105が形成されていない部分には二酸化シリコン(SiO_2)等からなる絶縁層103が形成されており、さらにその上にゲート電極(引き出しゲート電極)104が形成されている。ゲート電極104および絶縁層103には開口部106が設けられており、その中に上記コーン状のエミッタ105が位置している。すなわち、このコーン状のエミッタ105の先端部分が開口部106から露出構成とされている。

【0004】このコーン状のエミッタ105間のピッチは $10\mu m$ 以下とすることができ、数万から数10万個のエミッタ105を1枚の基板上に設けることができる。さらに、ゲート電極104とエミッタ105のコーンの先端との距離をサブミクロン単位とすることができるため、ゲート電極104とエミッタ105との間にわずかに数10ボルトのゲート-エミッタ間電圧 V_g を印加することにより、電子をエミッタ105から電界放出することができる。ゲート電極104上に離隔して正の電圧 V_a が印加されたアノード電極109を対向して設けておくと、エミッタ105から電界放出された電子をこのアノード電極109により捕集することができる。この場合、アノード電極109に蛍光体を設けておくとエミッタ105から電界放出された電子が捕集されるアノード電極109の蛍光体の部分を発光させることができる。このような原理を利用することにより、FECを用いた表示装置を作ることができる。この表示装置を電界放出型表示装置(Field Emission Display, FED)と呼ぶ。

【0005】また、前記エミッタ105から放出される電子の軌道は所定の拡がり角を有しているため、放出された電子を集束する手段を設け、高精細表示を行なう場

合であっても漏れ発光が生じないようにしたFEDがいくつか提案されている。

【0006】図20にこのようなFEDの一構成例を示す(特開平7-104579号公報参照)。このFEDは、各画素に対応する複数のエミッタからなる配列(エミッタアレイ)毎に第2のゲート電極(集束電極)を形成し、この第2のゲート電極に負の電位を与えることにより、エミッタアレイから放出される電子を集束させるものである。すなわち、図20において、第2のゲート電極107は、複数のエミッタ105からなる配列を取り囲むように格子状に形成されている。そして、アノード電極109と第1のゲート電極104は正の同電位とされており、第2のゲート電極107には負の電位が与えられている。カソード電極102は図示するように1画素を構成する複数のエミッタ105がその上に配置される単位領域とされており、111はカソード電極102をマトリクス駆動するためのTFT(Thin Film Transistor: 薄膜トランジスタ)部である。これにより選択された単位領域から放出された電子は、第2のゲート電極107によって集束され、拡散することなくアノード109に形成された蛍光体108に射突することとなる。

【0007】また、ストライプ状のゲート電極間に設けた集束電極および隣接アノード電極をオフレベルにスイッチすることにより、エミッタアレイから放出された電子の軌道を集束させることも提案されている(特開平6-338274号公報参照)。図21は、この電界放出型表示装置を説明するための図であり、(a)はその断面図、(b)はエミッタアレイから放出される電子の軌道を説明するための図である。

【0008】この図において、カソード電極102はカソード基板101上にストライプ状に形成されており、ゲート電極104は前記カソード電極102の上に絶縁体を介して、該カソード電極102と直交するようにストライプ状に形成されている。そして、前記ゲート電極104の各ストライプの間には、ストライプ状の集束電極107が配置されている。また、第1のアノード電極118と第2のアノード電極119はともにストライプ状にアノード基板110上に形成されており、各アノード電極にはそれぞれR、G、Bの蛍光体が順次設けられている。なお、130は前記第1のアノード電極118の各ストライプが接続されたアノード引き出し電極A1、131は前記第2のアノード電極119の各ストライプが接続されたアノード引き出し電極A2、134は前記カソード電極102の各ストライプから引き出されたカソード引き出し電極である。

【0009】そして、電極135を介して前記ストライプ状に形成された集束電極117に負の一定電圧を常時印加しておくことにより、同図(b)に示すように、各エミッタアレイ112から放出される電子の軌道を集束

させるとともに、アノード電極118および119もストライプ状に形成して、駆動されていない方のアノード電極に0[V]を印加することにより漏れ発光を阻止するものである。なお、図21の(b)において、実線は電位分布を示し、破線は電子軌道を示している。

【0010】次に、放出された電子ビームを集束するための手段をカソード側の各エミッタ毎に設けた電界放出型表示装置の一例を図22に示す(特開平7-29484号公報参照)。図示するように、この例においてはゲート電極(引き出しゲート電極)104の上にさらに絶縁層103'を設け、その上部に円形の開口部120を有する集束電極(第2ゲート電極)107を設けている。すなわち、この例においては、前記集束電極107は各エミッタ105毎に、それを取り囲むように設けられている。そして、この集束電極107をゲート電極104よりも低電位とすることにより、エミッタ105から放出される電子ビームを集束するようになされている。これにより、個々のエミッタ105から放出された電子はそれぞれ個別に前記集束電極107により集束せられることとなる。

【0011】なお、エミッタ105から放出された電子のうちの一部が前記集束電極107に捕捉されて、アノードに到達する電子の量が減少し無効電流が増加すること、および、集束電極の電位によって、第1ゲート電極によって生じる電界が影響を受け、エミッタから放出される電子の量が減少することを防止するために、前記特開平7-29484号公報に記載された発明においては、前記集束電極107に設けられた開口部120の直径D、と前記引き出しゲート電極104に設けられた開口部106の直径D₁との関係を、 $D_1 = (1.2 \sim 2) \times D$ となるようにしている。これにより、エミッタから放出された電子を集束しつつ、集束電極107に流れる無効電流を少なくすることができる。

【0012】さて、このようにして放出された電子は、前述のようにアノードに到達して該アノードに塗布された蛍光体を発光させることとなる。この蛍光体の一例として、代表的なフルカラーディスプレイにおけるアノード電極に形成される蛍光体ドットの一列を図23に示す。この図において、S₁は1画素に対応する面積を表わし、そのサイズは縦300μm、横100μmとされており、S₂はその内部に設けられている蛍光体ドットを表わしており、このサイズは縦20μm、横80μmの長方形とされている。

【0013】

【発明が解決しようとする課題】上述したような従来のFEDにおいては、アノードを1kV以下の低い電圧で駆動させているのが通常である。アノード電圧としてこのような低アノード電圧を採用することにより、アノードとカソードとの間隔を150μm~300μm程度と狭くすることができ、非常に薄型の表示装置を実現する

ことができる。そして、カソード-アノード間の距離が短いために、エミッタから放出された電子は比較的小さい拡がり幅をもってアノードに到達することとなる。したがって、放出電子を集束させる場合においても、前述した図20の例のように1ドット分のエミッタアレイを取り囲むように集束電極を設けることにより、ほぼその目的を達成することができた。また、さらに高精細のディスプレイの場合には、前記図21に示した例のように、隣接ゲートおよび隣接アノードをオフレベルにスイッチすることにより、エミッタアレイからの放出電子を一括して集束することができた。

【0014】しかしながら、上記のような低電圧タイプのFEDにおいては、所定の輝度を得るためには大きなアノード電流（例えば、 $50\text{mA}/\text{cm}^2 \sim 100\text{mA}/\text{cm}^2$ 程度のアノード電流密度）が必要となるが、一般に、蛍光体は、大電流時には発光効率が低くなるという性質を有している。

【0015】そこで、近年、更に低消費電力で高輝度を得るために、数kV以上のアノード電圧を用いるFEDの開発が進められている。このような高電圧タイプのディスプレイにおいては、カソード-アノード間の放電を防止するために、アノード基板とカソード基板の間隔を $500\mu\text{m} \sim 5\text{mm}$ 程度と広くすることが必要となる。このため、エミッタから放出される電子を集束するための手段が必要となる。

【0016】このとき、前記図21に示した例のようにアノードをストライプ状にパターンニングしてこれをスイッチングすることは、アノード電圧が高電圧とされているため困難である。また、前記図22に示したエミッタ毎に集束電極を設ける方法によれば、アノードをスイッチングしないためこのような問題は生じないが、この場合には、第1又は第2ゲートに流れる無効電流が大きくなり、アノードに到達する電子が少なくなるという問題点がある。すなわち、前記図22に示した例においては、第1ゲート電極に設けられる開口部の大きさと第2ゲート電極に設けられる開口部の大きさについてはその関係を規定しているが、エミッタから放出される電子の拡がりについては考慮されていないために、放出された電子を集束することはできるものの、第2ゲート電極に流れる無効電流を余り小さくすることができない場合がある。

【0017】そこで、本発明は、アノードに高電圧を印加するタイプのFEDにおいて、エミッタから放出される電子流の減少を最小限に抑え、かつ無効電流が増加することなく集束させることを目的としている。

【0018】

【課題を解決するための手段】上記目的を達成するために、本発明の電界放出型表示装置は、カソード電極が設けられたカソード基板と、前記カソード電極上に配置されたエミッタと、前記エミッタの近傍に設けられた電子

引き出し用の第1のゲート電極と、前記第1のゲート電極の上方に前記第1のゲート電極から距離 L_1 だけ離れた位置に設けられた開口部であって、該開口の端部と前記エミッタの中心との最短距離が d_1 とされた開口部を有する電子集束用の第2のゲート電極と、前記カソード基板に対向するように配置され、蛍光体が塗布されたアノード電極を有するアノード基板とを有する電界放出型表示装置であって、前記距離 d_1 は、前記第2のゲート電極が設けられていないときの前記エミッタからの距離が前記 L_1 の位置における前記エミッタから放出される電子の軌道の拡がりの半径を d としたときに、 $0.5d \leq d_1 \leq 3d$ とされているものである。

【0019】また、前記開口部は円形とされており、1つの該円形開口部の中に1つの前記エミッタが配置されているものである。さらに、前記エミッタは前記円形開口部の中心位置から外れた位置に配置されているものである。さらにまた、前記円形開口部が1画素当たり複数配置されているものである。

【0020】さらにまた、前記開口部はスリット状とされており、1つの該スリット状開口部の中に複数個の前記エミッタが一列に配置されているものである。さらにまた、前記エミッタは前記スリット状開口部の中心位置からずれた位置に配列されているものである。さらにまた、前記スリット状開口部は複数のブロックに区切られて構成されているものである。さらにまた、前記スリット状開口部が1画素当たり複数個並列に配置されているものである。さらにまた、前記スリット状開口部内に一列に配置されたエミッタのうちの端部に位置するエミッタは、当該スリット状開口部の端部に近接して配置されているものである。

【0021】さらにまた、前記エミッタの左右において前記第2のゲート電極に印加される電圧が異なっているようになされているものである。

【0022】

【発明の実施の形態】本発明の電界放出型表示装置においては、充分な輝度を得るために、従来は1kV以下（多くは、 $200\text{V} \sim 500\text{V}$ ）であったアノード電圧 V_a を、数kV（多くは $2\text{kV} \sim 5\text{kV}$ ）に上げることを前提としている。一般に、アノード電圧 V_a が10倍となれば、同一のアノード入力電力を与えるためにアノード電流 I_a は $1/10$ であればよいことは当然であるが、電流の小さい領域で、かつ、高電圧で用いる場合には蛍光体の発光効率は一般に5～20倍改善される。これにより、アノード電流は低電圧動作のときの数%に減少させることができ、したがって、エミッタの数も数%に減らすことができる。このように、エミッタの数を大幅に減らすことができるので、後述するような集束電極を構成するために充分なスペースをとることができ、また、少数のエミッタを集めて設けることにより、ストレーキャパシタンスが減少し、該ストレーキャパシタン

スの充放電に費やされる無効な消費電力を大幅に減少させることができるようになる。

【0023】このような本発明の電界放出型表示装置の第1の実施の形態について説明する。図1は本発明の電界放出型表示装置の第1の実施の形態におけるカソード基板の概略斜視図、図2はその一部拡大図であり、図3はその一部断面図である。図1において、1はカソード基板、7は第2ゲート電極（集束電極）、20は第2ゲート電極7に設けられた開口部、破線で囲まれた30は1画素に対応するエミッタの領域（エミッタアレイ）である。なお、この図には示されていないが、カソード基板1の上には、前述した図21の場合と同様に、エミッタが設けられたカソード電極、該カソード電極上のエミッタが設けられていない部分に形成された絶縁層、該絶縁層の上部に形成された第1ゲート電極、該第1ゲート電極の上に形成された第2の絶縁層が設けられており、該第2の絶縁層の上に前記第2ゲート電極7が形成されている。図示するように、この実施の形態においては、円形の形状とされた前記開口部20が各画素に対応するエミッタアレイの領域内に例えば2列に配列されており、一つの開口部20の内部には、前述したように一つの前記エミッタが配置されている。

【0024】図2は、前記1つの画素に対応するエミッタアレイ30を拡大して示した図である。この図に示すように、前記第2ゲート電極（集束電極）7に形成された前記開口部20は2列に配列されており、それらの内部には、前記第1ゲート電極（引き出しゲート電極）4に形成された開口部6を介して前記エミッタ5が配置されている。なお、前記各エミッタ5間の左右方向の距離P1および上下方向の距離P2はともに $3\mu\text{m} \sim 20\mu\text{m}$ とされている。

【0025】図3は、前記本発明の第1の実施の形態である電界放出型表示装置の断面図であり、前述したように、1はガラス等からなるカソード基板、2は該カソード基板1上にアルミニウム等の金属によりストライプ状に形成されたカソード電極、5は該カソード電極2上にモリブデン等の金属により形成されたコーン状のエミッタ、3は前記カソード基板2上の前記コーン状のエミッタ5が形成されていない部分に形成された二酸化シリコン（ SiO_2 ）等からなる絶縁層、4は該絶縁層3の上に形成された第1ゲート電極（引き出しゲート電極）であり、該第1ゲート電極4には円形の開口部6が設けられている。そして、前記コーン状エミッタ5の先端部分が該開口部6から臨む構成とされている。前記第1ゲート電極4の上部にはさらに第2の絶縁層3'が形成されており、その上部に前記第2のゲート電極（集束電極）7が形成されている。この集束電極7には前述したように円形の開口部20が形成されており、該開口部20の中に前記第1のゲート電極4の開口部6および前記エミッタ5が配置されている。

【0026】また、前記集束電極7の上方にはガラス等からなるアノード基板10が配置されており、該アノード基板10にはアノード電極9が一様に形成されている。そして、このアノード電極9には蛍光体層8が設けられている。

【0027】ここで、前記各構成要素の寸法の一例について説明すると、前記絶縁層3の厚さ L_1 、および前記第2の絶縁層3'の厚さ L_2 は、ともに $0.5\mu\text{m} \sim 2\mu\text{m}$ 、前記集束電極7と前記蛍光体層8との間の距離 L_3 は $1\text{mm} \sim 5\text{mm}$ 、前記第1のゲート電極4および前記集束電極7の厚さ t は $0.2 \sim 0.4\mu\text{m}$ 程度とされている。また、前記第1のゲート電極4に設けられた円形の開口部6の直径は $1\mu\text{m} \sim 2\mu\text{m}$ 、前記エミッタ5の中心から前記集束電極7に形成された円形の開口部20の端部との最短距離 d_1 は $0.7\mu\text{m} \sim 10\mu\text{m}$ 、前記開口部20の間に形成されている集束電極71の幅 d_2 は $4\mu\text{m} \sim 19\mu\text{m}$ 程度とされている。

【0028】また、前記アノード電極9と前記カソード電極2との間に印加されるアノード電圧 V_a は $2\text{kV} \sim 10\text{kV}$ 、前記第1のゲート電極4と前記カソード電極2との間に印加される第1ゲート電圧 V_{q1} は $20 \sim 200\text{V}$ 、前記第2のゲート電極7と前記カソード電極2との間に印加される集束ゲート電圧 V_{q2} は $-10 \sim 10\text{V}$ 程度とされている。なお、前述した1画素分のエミッタアレイ30に含まれるエミッタ5の数は、アノード電圧 V_a が 2kV のとき2列 $\times 60$ 個、 5kV のとき2列 $\times 40$ 個程度とされている。前述したようにアノード電圧を高電圧としているので、1画素に対応するエミッタ数をこのように少なくすることが可能となる。

【0029】このように構成された電界放出型表示装置において、前記各パラメータを、第1のゲート電極4に設けられた開口部6の直径を $1\mu\text{m}$ 、隣接するエミッタ列間の距離 $P1 = 10\mu\text{m}$ 、隣接するエミッタ5間の距離 $P2 = 5\mu\text{m}$ 、 $L_1 = 1\mu\text{m}$ 、 $L_2 = 1\mu\text{m}$ 、 $L_3 = 1\text{mm}$ 、 $t = 0.2\mu\text{m}$ 、 $d_1 = 2.5\mu\text{m}$ 、 $d_2 = 5\mu\text{m}$ 、 $V_{q1} = 90\text{V}$ 、 $V_{q2} = 0\text{V}$ 、 $V_a = 2\text{kV}$ としたときの電界解析シミュレーションの結果を図5に示す。この図において左側に記載されているのはエミッタアレイから放出された電子軌道の全体図であり、右側に記載されているのはエミッタアレイの近傍における電子軌道を示した拡大図である。

【0030】この図に示すように、左右に配置された各エミッタから放出された電子は、それぞれ若干内向きに放出され、交錯して 1mm 離れたアノードへ到達しており、その到達幅（スポット幅）は約 $100\mu\text{m}$ 程度となっている。図23に関して前述したように、フルカラーディスプレイの1ドットの幅は $80\mu\text{m}$ 程度であり、アノードに到達する電子の幅が $80 \sim 120\mu\text{m}$ 程度であれば、電子のクロストークによる混色を防止することができるとともに、逆に蛍光体の全面を均一に発光させる

上で望ましい。したがって、図5に示した例における100ミクロンという到達幅は適切なものであるといえることができる。

【0031】次に、前記集束電極7に設けられる開口部20の大きさについて検討する。図4の(a)は、前記図19に関して説明したスピント型の電界放出エミッタにおける放出電子の軌道を示す図である。この図に示すように、エミッタ5から放出された電子はBで示すような拡がりをもった電子ビームとなる。図示するように、エミッタから距離L、だけ上方における電子の拡がり角を θ 、拡がり幅をdとすると、 $d=L \cdot \tan \theta$ となる。また、同図(b)は本発明におけるカソードの断面図を示すもので、前述したように、集束電極7と第1ゲート電極4との距離はL、エミッタ5の中心部から集束電極7の開口部の端部までの最短距離は d_1 とされている。

【0032】図6は、前記集束電極7の開口部20の半径d1を前記dに対して種々の値に変化させたときの分配率および発光スポットの大きさの変動の様子を示す図である。ここで、分配率(I_a/I_c)はカソードから放出された電子とアノードに到達する電子との比率を示しており、この値が100%に近いほど、第1ゲート電極および第2ゲート電極に流れる無効電流が少ないことを示している。図6(a)は前記 d_1 を0.5d、d、1.5d、2d、3dとしたときにおける分配率を、前記第2ゲート(集束電極)電圧 V_{q2} を横軸にとってプロットしたものであり、同図(b)は同様に発光スポットの大きさをプロットした図である。これらの図からわかるように、前記集束電極7の開口部の大きさ d_1 を $d \leq d_1 \leq 3 \cdot 0d$ となるように選定したときには、第2ゲートの電圧 V_{q2} を適切な値に選定することにより、分配率(I_a/I_c)を高く保ちつつ、発光スポットの直径が100 μm 程度となる所望の集束を得ることができることがわかる。

【0033】次に、本発明の第2の実施の形態について説明する。図7(a)はこの第2の実施の形態におけるカソード基板の概略斜視図、(b)はその一部拡大図である。図から明らかなように、この実施の形態においては、前記第2のゲート電極7にスリット状の開口部21が設けられており、このスリット状開口部21の内部に前記第1ゲート電極4に形成された開口部6およびエミッタ5が一列に配置されている。そして、このスリット状開口部21が1画素当たり2つ設けられている。この図7に示した実施の形態における左右方向の断面は、前記図3と同様の断面図となる。したがって、この実施の形態においても前記図5に示したと同様の電子軌道をもってエミッタ5から放出された電子がアノードに到達することとなる。

【0034】図8はこの第2の実施の形態において、前記エミッタ5から前記スリット状開口部21の端部まで

の最短距離 d_1 を種々の値としたときの分配率および発光スポットの大きさを示す。図8(a)は前記 d_1 を0.5d、0.7d、d、1.2d、2.5dとしたときにおける分配率を、前記第2ゲート(集束電極)電圧 V_{q2} を横軸にとってプロットしたものであり、同図

(b)は同様に発光スポットの大きさをプロットした図である。これらの図からわかるように、前記集束電極7の開口部の大きさ d_1 を $0.5d \leq d_1 \leq 2.5d$ となるように選定したときには、第2ゲート電圧 V_{q2} を適切な値に選定することにより、分配率(I_a/I_c)をほぼ100%に保ちつつ、かつ、アノードへの到達幅が100 μm 程度となる所望の集束を得ることができることがわかる。

【0035】前述した2つの実施の形態においては、アノードに約100 μm の発光スポットを形成することができた。しかしながら、前記図23に示したような大きさの蛍光体スポットに電子を射突させる場合には、発光スポットの大きさを約80 μm 程度になるように集束させることが望ましい。

【0036】前述したように、前記図5(b)に示した電子軌道解析図において、左右のエミッタからそれぞれ放出された電子は、多少内側に交錯していた。すなわち、左側のエミッタから放出された電子の軌道は多少右に偏向しており、右側のエミッタから放出された電子の軌道は多少左に偏向している。これは、前記開口部20または21の間に存在する集束電極71の長さがその他の部分、すなわち、左側の開口部の左に存在する集束電極7および右側の開口部の右に存在する集束電極7に比べて短いために、前記集束電極71による集束効果が、集束電極7の前記他の部分による効果に比べて少なくなるために生じる現象であると考えられる。そこで、前記集束電極71による集束効果と前記他の部分の集束電極7による集束効果の差を無くすことにより、各エミッタから放出される電子を直上に進行させることができ、集束度をより向上させることが可能となる。

【0037】このように集束度をより向上させた本発明の第3の実施の形態について説明する。図9(a)は本発明の第3の実施の形態の断面を示す図である。この図において、前記図3と同一の構成要素には同一の番号を付し、説明の重複を省く。この実施の形態においては、前記エミッタ5の先端と前記両エミッタ間に存在する集束電極71との間の距離 d_1 が前記両側の集束電極7との距離 d_2 よりも短くされている($d_1 < d_2$)。これにより、面積の少ない集束電極71とエミッタとの距離が短くなり、集束電極71による集束効果が有効に作用して、前述した集束効果の差を無くすることが可能となる。

【0038】図9(b)は前記図2に示した実施の形態のように複数の円形開口部20が2列に配列されている場合に、この第3の実施の形態を適用した場合を示す

平面図であり、図示するように、左側の列に属する各エミッタは、当該開口部20の中心部よりも右側の位置に配置されており、右側の列に属する各エミッタは当該開口部20の中心部よりも左にずれた位置に配置されている。

【0039】また、図9の(c)は前記図7に示した実施の形態のように、スリット状の開口部21の内部にエミッタ5が配置されている場合にこの第3の実施の形態を適用した場合における平面図である。この場合にも、各スリット状の開口部21内に配列された各エミッタ

は、それぞれ、2つのスリット状開口部21の中間部に近い位置に配列されている。

【0040】図10はこのように構成された電界放出型表示装置における電界解析図である。図示するようにこの場合には、前記図5に示した場合と比較して、左右にあるエミッタからの電子の軌道が交錯することなくほぼ垂直になっていることがわかる。これにより、発光スポットは $75\mu\text{m}$ となり、前述の場合よりもより高い集束を得ることができている。

【0041】このように集束度を向上することができるさらに他の実施の形態について説明する。図11は、この実施の形態における1画素当たりのエミッタアレイの構成を示す斜視図である。図示するように、この実施の形態においては、前記図2に示した実施の形態と同様に円形の開口部20が2列に配列されているものであるが、前記第2ゲート電極(集束電極)が、前記開口部20の周辺部分7と中間部分71との2つに分割されている点が前述の実施の形態の場合と相違している。

【0042】この実施の形態における断面図は前記図3に示した断面図と同様のものとなるが、この実施の形態においては、前述したように集束電極の中心部7と周辺部分7とが分離されて形成されているために、それぞれ異なる値の第2ゲート電圧を印加することができる。したがって、中間部の集束電極71に周辺部の集束電極7よりも低いゲート電圧 V_{q3} を印加することにより、中間部の集束電極71による集束効果を強くすることができ、前述した図9の実施の形態の場合と同様に各エミッタから放出された電子を集束する効果をもたらすことが可能となる。

【0043】図12に、スリット状の開口部21とされた前記図7の場合にこの実施の形態を適用した例を示す。図から明らかなように、この場合にも、集束電極は、中間部分71と周辺部分7とに分割されている。そして、この中間部分71に印加するゲート電圧 V_{q3} を周辺部分7に印加するゲート電圧 V_{q2} よりも低い電圧とするのである。

【0044】このような場合における電子軌道解析図を図13に示す。この図に示すのは、前記周辺部分7に印加するゲート電圧 V_{q2} を0[V]、中間部分71に印加するゲート電圧 V_{q3} を-10[V]とした場合の電子軌道を

示している。なお、第1ゲート電圧 V_{q1} は0[V]、アノード電圧 V_a は2[kV]である。図示するように、この場合には、両エミッタから放出された電子の軌道は交錯することなくほぼ真上に進行しており、1mm離れたアノードに到達したときのスポット幅は $75\mu\text{m}$ となっている。このように、この実施の形態においても、非常によい集束を得ることができる。このように、中間部分71に印加するゲート電圧 V_{q3} を制御することにより、アノードへの到達幅、すなわち発光スポット幅を制御することができる。

【0045】なお、一つの開口部20の中にエミッタを複数配置する場合、すなわち複数列のエミッタに対して共通の集束電極を設けた場合には、集束電極の近傍にあるエミッタ列から放出された電子に対しては集束効果が働くが、集束電極の反対側方向の電子に対しては逆に電子を拡散させる作用が働くこととなる。また、近接するエミッタ以外に対しては充分な集束効果が得られない。したがって、一つの開口部の中に複数列のエミッタを設けることは好ましくない。図18は、開口部20の中にエミッタを2列配列した場合における電界解析結果を示す図である。この図に示すように、2列のエミッタを配列したときには、放出された電子は充分に集束されていないことがわかる。

【0046】さて、いままでは2列に形成された開口部20あるいは21の短辺方向(図の左右方向)の電子の拡がりについて説明してきたが、円形の開口部20の列の上下方向あるいはスリット状の開口部21の長辺方向の電子の拡がりについて検討する。

【0047】図14に上下方向の電流密度分布の解析結果の一例を示す。図14の(a)はアノード-カソード間の距離 $L_1=1\text{mm}$ 、アノード電圧 $V_a=2\text{kV}$ としたときにおける解析結果、(b)はアノード-カソード距離 $L_1=2\text{mm}$ 、アノード電圧 $V_a=5\text{kV}$ としたときにおける解析結果を示しており、いずれの場合も、図17に示した代表的なフルカラーディスプレイにおける各蛍光体ドットの上下方向の長さ $220\mu\text{m}$ を必要十分にカバーする電子の到達幅を有しており、また、隣接する蛍光体ドットにおける漏れ発光は十分に低いレベルのものとなっていることが分かる。

【0048】また、前記開口部の構成を変更することにより、上下方向の電子の拡がりを精密に制御することも可能である。図15(a)および(b)は、このような上下方向の電子の拡がり幅をより精密に制御することができる実施の形態の構成を示す斜視図である。同図

(a)は、前記スリット状の開口部21を複数のブロックに区分された形状として、その一部のブロック22にはエミッタを配置しないようにした例である。このようにエミッタを配列することにより、対応する蛍光体ドットの位置に対応する場所にエミッタを配列することができる。また、同図(b)は、複数のブロックに区切られ

たスリット状の開口部21それぞれの内部に1または複数の適切な個数のエミッタが配列されている例である。これにより、上下方向の到達幅をより精密にコントロールすることが可能となる。なお、図15にはスリット状の開口部21に適用された例を記載したが、前記図2に示したような円形の開口部20の配置の場合においても、全く同様に各エミッタおよび開口部20を配置することができる。

【0049】上下方向の到達幅をより精密に制御することのできるさらに他の実施の形態について、図16を参照して説明する。図16の(a)はスリット状の開口部21内に複数のエミッタが配列されている場合におけるその上下方向の断面を示した図であり、同図(b)はその平面図である。図示するように、この実施の形態においては、両端に配置されたエミッタ51および52が前記スリット状の開口部21の上端あるいは下端に近接して配置されている。これにより、(a)に図示するように、エミッタ51および52から放出された電子の軌道は、前記スリット21の端部の集束電極7に近接しているために、スリットの端部側においてその影響を大きく受けることとなる。従って、スリット状の開口部21内に配列された各エミッタから放出された電子は、上述した実施の形態の場合と比較して、上下方向において、より集束されてアノードに到達することとなる。

【0050】また、図16の(c)は、この実施の形態を円形の開口部20を複数個配列した実施の形態の場合に適用した例である。この場合には、このエミッタの配列の端部にあるエミッタ53および54が、対応する円形開口部23および24の中心位置よりも当該エミッタ配列の端に偏位した位置に設けられている。これにより、前述した場合と同様に、当該エミッタ53および54から放出された電子を、エミッタが並列されている方向に拡散させることなく、アノードに到達させることが可能となる。したがって、この実施の形態によれば前述したよりもより上下方向の到達幅を狭くすることができる、より高精度度の表示装置を実現することができるようになる。

【0051】以上の説明においては、より幅の広い蛍光体ドットを有するモノクロディスプレイなどの場合には、エミッタ列を3列以上とすることもできる。図17の(a)はエミッタ列を3列とした実施の形態を示し、同図(b)はエミッタ列を4列とした場合を示している。なお、この図には、スリット状の開口部21の例を示したあるが、円形の開口部とされた場合にも、全く同様に構成することができる。

【0052】なお、以上の説明においては、エミッタの形状がコーン状の冷陰極を例にとって説明してきたが、本発明はこのような形状のエミッタに限られることなく、種々のタイプの冷陰極に適用することができる。

【0053】

【発明の効果】以上説明したように、本発明によれば、2kV以上といった高いアノード電圧により駆動される電界放出型表示装置において、カソードから放出された電子を当該蛍光体ドットに集束させ、かつ、該蛍光体ドット全体に適度に分散して射突させることができる。また、エミッタ数を少なくすることができるため、エミッタを小面積に集積でき、カソードおよびゲートの浮遊容量が少なくなり、消費電力を低減することができる。さらにまた、蛍光体の発光効率が高い高電圧、小電流の領域を使用しているため、消費電力が減少でき、カソード-ゲート間の電圧、電流も減少させることができる。

【図面の簡単な説明】

【図1】本発明の電界放出型表示装置の一実施の形態におけるカソード基板を斜め上方から見た斜視図である。

【図2】本発明の電界放出型表示装置の一実施の形態におけるカソード基板の1画素に対応する部分を拡大して示す斜視図である。

【図3】本発明の電界放出型表示装置の一実施の形態における一部断面図である。

【図4】本発明の電界放出型表示装置における集束電極の開口部の大きさを説明するための図である。

【図5】本発明の電界放出型表示装置の一実施の形態における電子ビームの軌道を説明するための図である。

【図6】本発明の電界放出型表示装置の一実施の形態において集束電極の開口部の大きさを変化させたときの分配率(I_a/I_c)および発光スポットの大きさを説明するための図である。

【図7】本発明の電界放出型表示装置の他の実施の形態におけるカソード基板の斜視図およびその一部拡大図である。

【図8】本発明の電界放出型表示装置の他の形態において集束電極の開口部の大きさを変化させたときの分配率(I_a/I_c)および発光スポットの大きさを説明するための図である。

【図9】本発明の電界放出型表示装置のさらに他の実施の形態における電界放出カソードの構成を示す図である。

【図10】本発明の電界放出型表示装置のさらに他の実施の形態における電子ビームの軌道解析図である。

【図11】本発明の電界放出型表示装置のさらに他の実施の形態における電界放出カソードの構成を示す図である。

【図12】本発明の電界放出型表示装置のさらに他の実施の形態における電界放出カソードの構成を示す図である。

【図13】本発明の電界放出型表示装置のさらに他の実施の形態における電子ビームの軌道を説明するための図である。

【図14】本発明の電界放出型表示装置の一実施の形態における上下方向の電流密度分布を示す図である。

【図15】本発明の電界放出型表示装置のさらに他の実施の形態における電界放出カソードの構成を示す図である。

【図16】本発明の電界放出型表示装置のさらに他の実施の形態における電界放出カソードの構成を示す図である。

【図17】本発明の電界放出型表示装置のさらに他の実施の形態における電界放出カソードの構成を示す図である。

【図18】2列のエミッタ電極の外側のみ集束電極を設けた場合における電子の軌道を説明するための図である。

【図19】電界放出型表示装置の概略構成を示す斜視図である。

【図20】従来の電界放出型表示装置の一例を示す図である。

【図21】従来の電界放出表示素子の他の例を示す図で*

*ある。

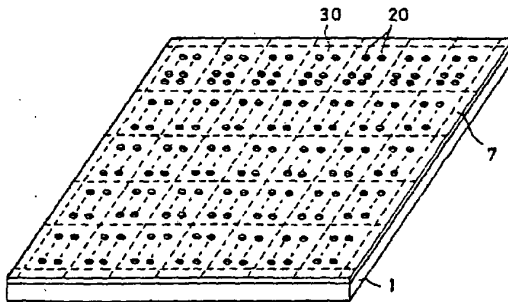
【図22】従来の電界放出表示素子のさらに他の例を示す図である。

【図23】代表的なフルカラーディスプレイにおける蛍光体ドットサイズを説明するための図である。

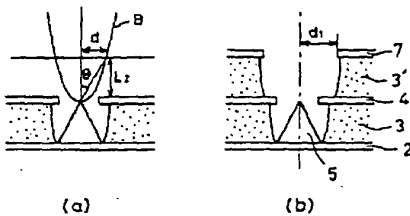
【符号の説明】

- 1、101 カソード基板
- 2、102 カソード電極
- 3、3'、103、103' 絶縁層
- 4、104 第1ゲート電極（引き出し電極）
- 5、51、52、53、54、105 エミッタ
- 7、71、107 第2ゲート電極（集束電極）
- 8、108 蛍光体層
- 9、109 アノード電極
- 10、110 アノード基板
- 20、21、23、24 開口部
- 30 エミッタアレイ

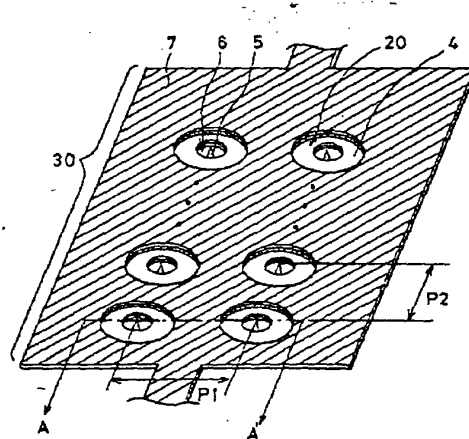
【図1】



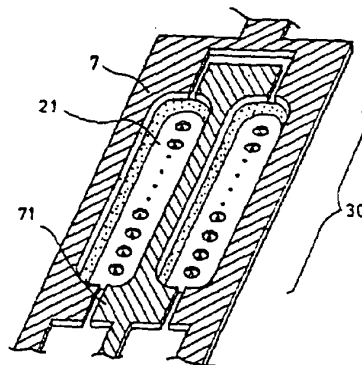
【図4】



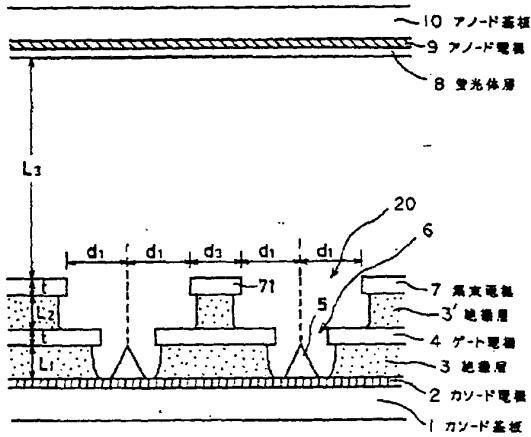
【図2】



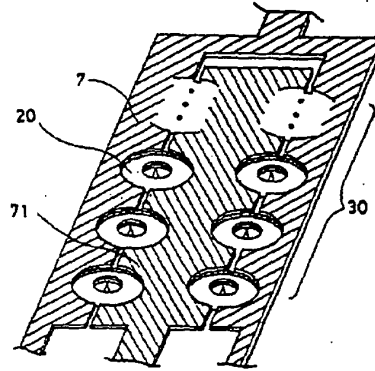
【図12】



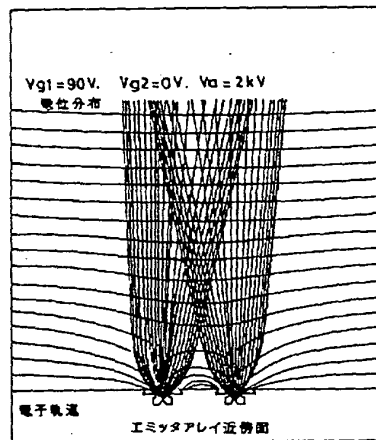
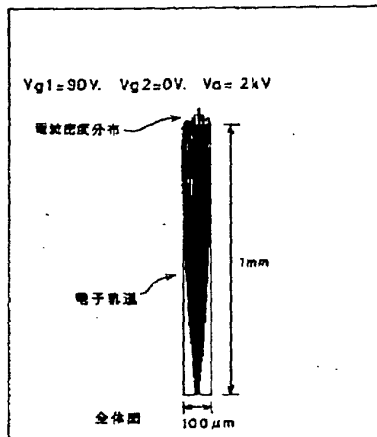
【図3】



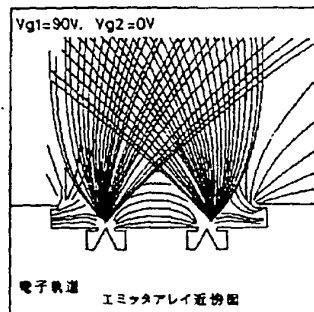
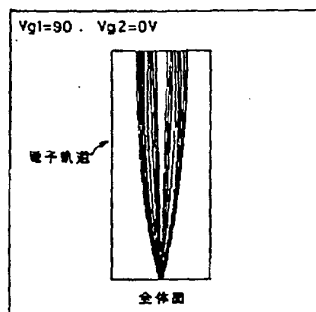
【図11】



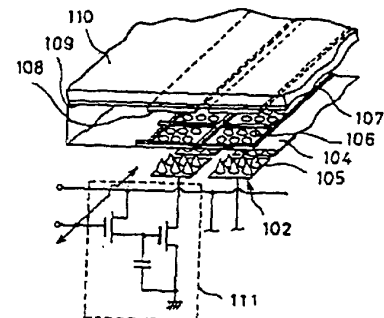
【図5】



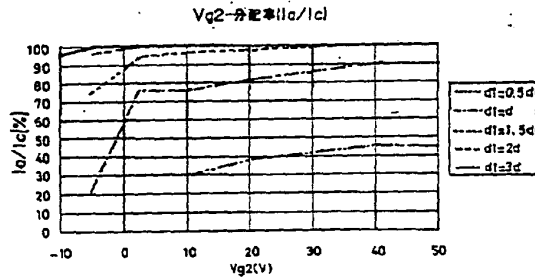
【図18】



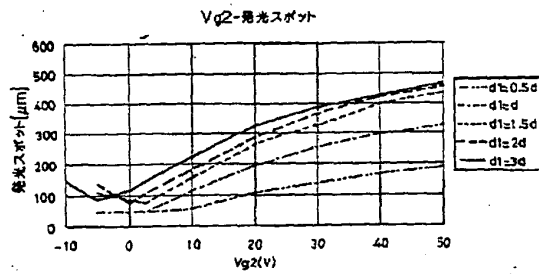
【図20】



【図6】

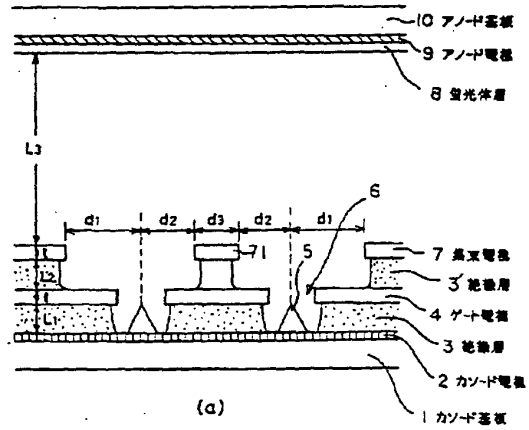


(a)

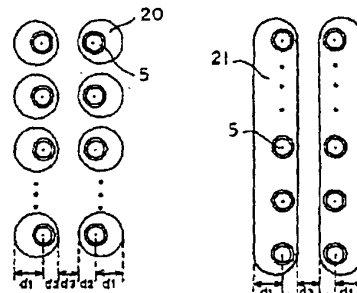


(b)

【図9】



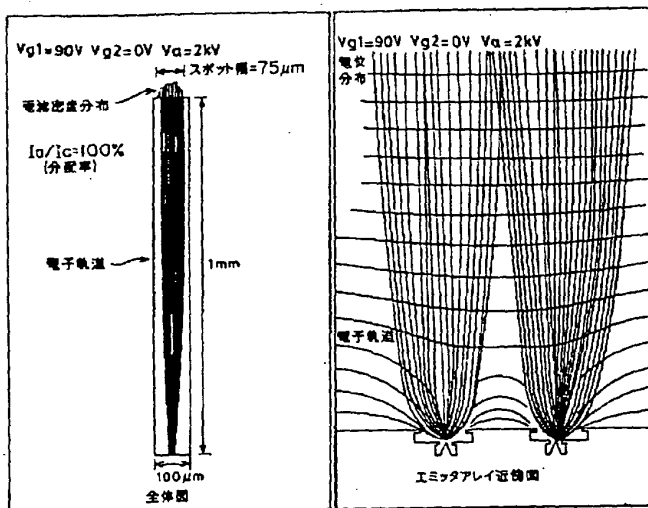
(a)



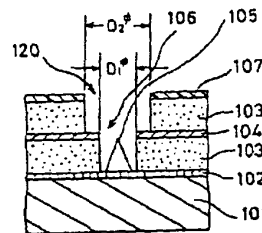
(b)

(c)

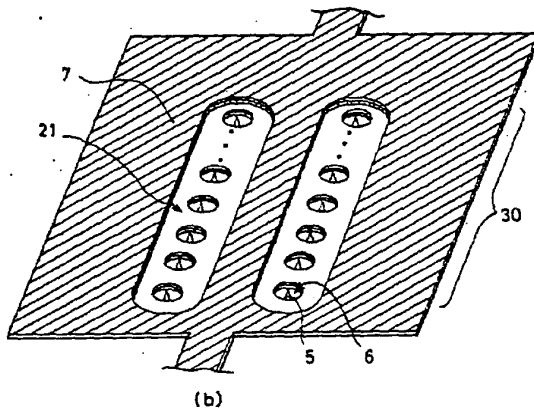
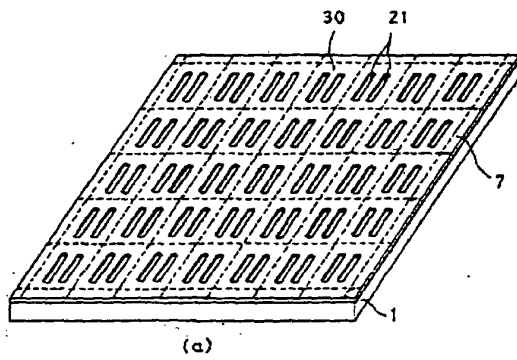
【図10】



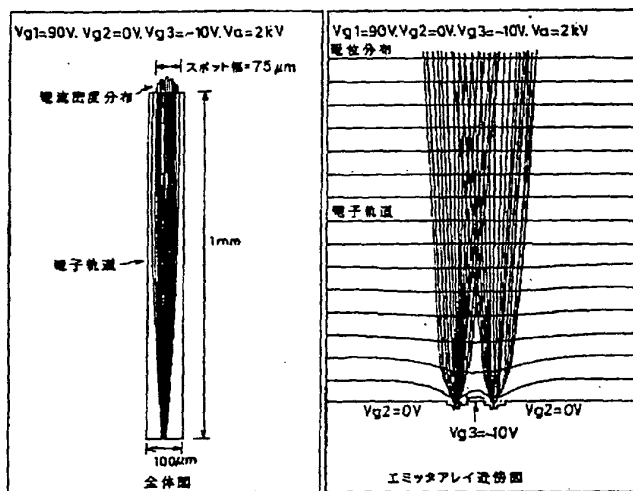
【図22】



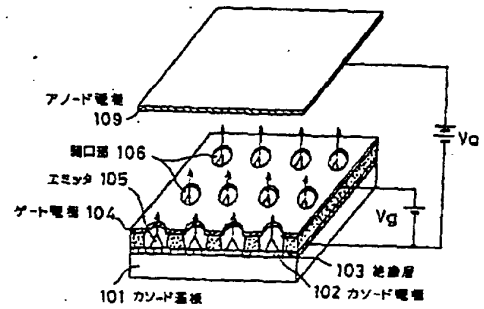
【図7】



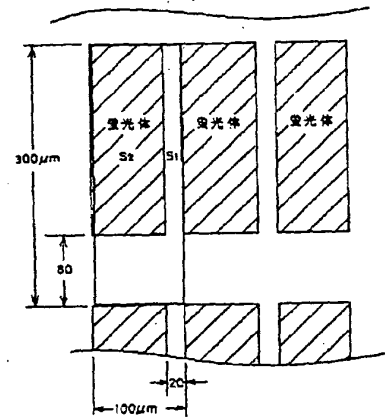
【図13】



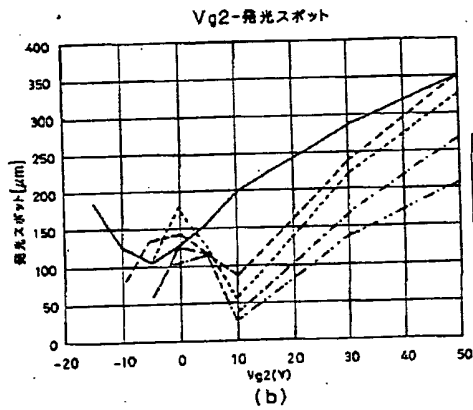
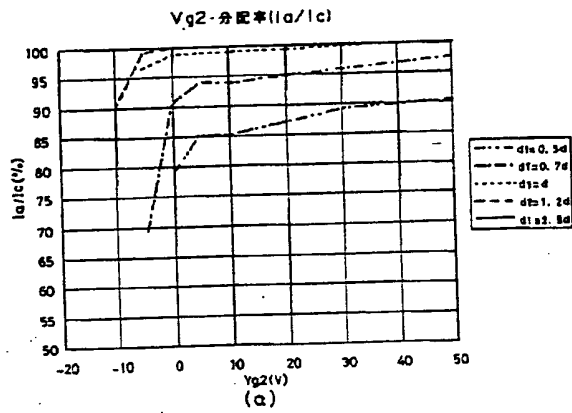
【図19】



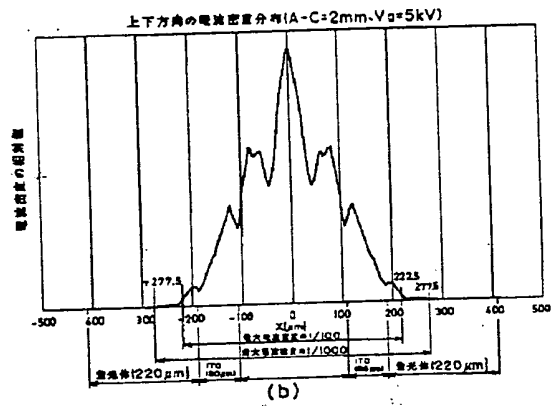
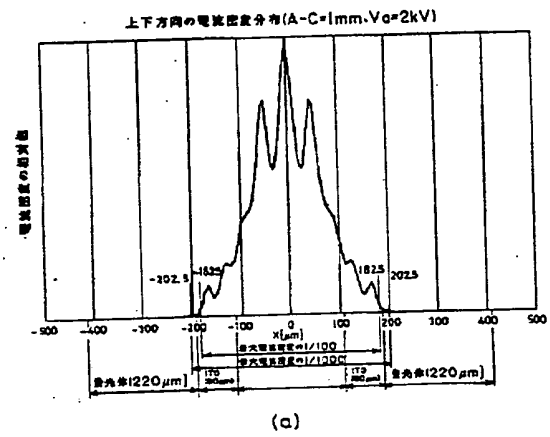
【図23】



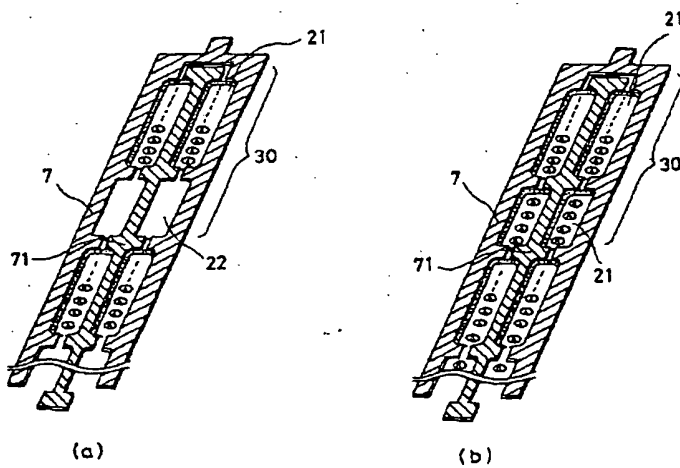
【図8】



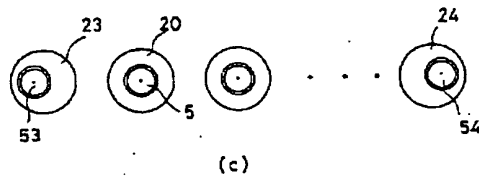
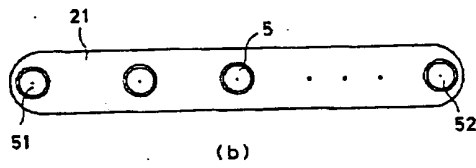
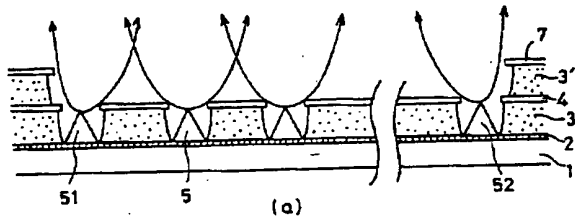
【図14】



【図15】



【図16】



【図17】

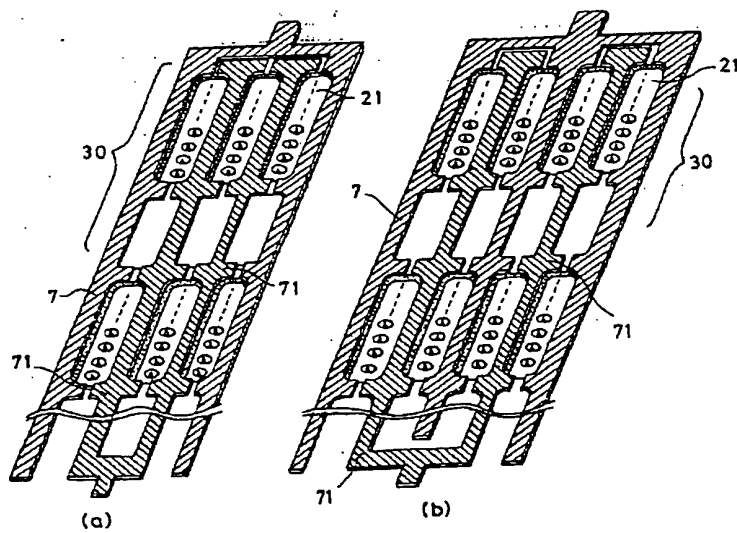


Figure 6 shows a cross-sectional view of a device. It features a central rectangular core labeled 104, which is surrounded by a layer labeled 112. This core is embedded within a larger rectangular block labeled 110. The top surface of block 110 is indicated by dashed lines A2 and A1. The bottom surface is indicated by dashed lines C and D. On the left side, there are labels 131, 130, 134, and 102. On the right side, there are labels 117, 118, 119, 121, and 101. A label 135 is at the bottom center.

(72)発明者 富田 正晴
千葉県茂原市大芝629 双葉電子工業株式
会社内

(72)発明者 山浦 辰雄
千葉県茂原市大芝629 双葉電子工業株式
会社内